

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001566

International filing date: 27 January 2005 (27.01.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-058571
Filing date: 03 March 2004 (03.03.2004)

Date of receipt at the International Bureau: 17 March 2005 (17.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

PCT/JP 2005/001566

日本国特許庁
JAPAN PATENT OFFICE

27. 1. 2005

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 3月 3日
Date of Application:

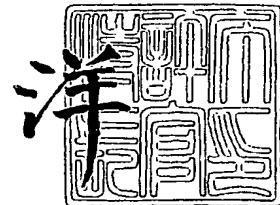
出願番号 特願2004-058571
Application Number:
[ST. 10/C]: [JP 2004-058571]

出願人 ローム株式会社
Applicant(s):

2005年 3月 4日

特許庁長官
Commissioner,
Japan Patent Office

小川



出証番号 出証特2005-3018230

【書類名】 特許願
【整理番号】 03-00532
【提出日】 平成16年 3月 3日
【あて先】 特許庁長官 殿
【国際特許分類】 G01R 19/00
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 杉江 尚
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 笹本 裕
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
 【代表者】 佐藤 研一郎
【代理人】
 【識別番号】 100083231
 【弁理士】
 【氏名又は名称】 紋田 誠
【選任した代理人】
 【識別番号】 100112287
 【弁理士】
 【氏名又は名称】 逸見 輝雄
【手数料の表示】
 【予納台帳番号】 016241
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9901021

【書類名】 特許請求の範囲**【請求項1】**

負荷に負荷電流を供給するための第1トランジスタと、
該第1トランジスタの制御電極に印加される制御信号と同じ制御信号が制御電極に印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、
該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給する電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路と、
該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路とを備えることを特徴とする、電流検出回路。

【請求項2】

前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする、請求項1記載の電流検出回路。

【請求項3】

前記電流源へ供給されるアイドル用電源電圧は、前記第1トランジスタ及び前記電流検出用トランジスタへ供給される第1電源電圧より高電圧または同電圧であることを特徴とする、請求項1記載の電流検出回路。

【請求項4】

前記電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、請求項1乃至3のいずれかに記載の電流検出回路。

【請求項5】

前記比較器は、所定幅のヒステリシス特性を有することを特徴とする、請求項4記載の電流検出回路。

【請求項6】

前記電流源に設けられ、アイドル信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドル信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御信号を出力するタイミング回路を有することを特徴とする、請求項1乃至3のいずれかに記載の電流検出回路。

【請求項7】

第1電源電圧と負荷への出力点間に接続されスイッチ信号にしたがってスイッチされて負荷に電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されPWMスイッチング信号によってオン・オフスイッチングされる第2トランジスタとの直列回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、

前記第1トランジスタに印加されるスイッチ信号と同じスイッチ信号が印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給する電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

前記組数分の各バッファ回路から出力される前記検出電流を一括して変換して出力信号とする変換回路とを備えることを特徴とする、負荷駆動回路。

【請求項8】

前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする、請求項7記載の負荷駆動回路。

【請求項9】

前記電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする、請求項7または8に記載の負荷駆動回路。

【請求項10】

前記電流源に設けられ、アイドリング信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドリング信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記スイッチ信号を出力するタイミング回路を有することを特徴とする、請求項7または8に記載の負荷駆動回路。

【請求項11】

請求項7乃至10のいずれかに記載の負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有することを特徴とする、記憶装置。

【書類名】明細書

【発明の名称】電流検出回路、負荷駆動回路、及び記憶装置

【技術分野】

【0001】

本発明は、HDDやFDD用等の記憶装置のスピンダルモータ等の負荷に流れる電流を安定して高精度に検出する電流検出回路、それを用いた負荷駆動回路及びその負荷駆動回路により駆動されるモータを有する記憶装置に関する。

【背景技術】

【0002】

トランジスタなどによって駆動される負荷に流れる電流を検出するための電流検出回路としては、そのトランジスタや負荷に直列に電流検出抵抗を接続し、その電流検出抵抗による降下電圧によって電流を直接検出するものが、一般的に用いられている（特許文献1、2）。

【0003】

また、負荷と直列に接続されたトランジスタと同じ制御電圧が印加される検出用トランジスタに定電流を流し、それら両トランジスタの出力電圧を比較して負荷電流のレベルを検出するものも知られている（特許文献3）。

【特許文献1】特開平11-299292号公報

【特許文献2】特開2003-174766号公報

【特許文献3】特許第2570523号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

従来の特許文献1、2の電流検出回路では、電流検出抵抗による損失が常に発生するから、電力効率の低下を招いてしまう。また、ブリッジ回路構成の負荷駆動回路で負荷をPWM駆動する場合には、PWMでオフしている期間は電流検出自体ができない。

【0005】

また、特許文献3の電流検出回路では、電流検出抵抗による電力損失は無いが、負荷電流が所定値以上かどうかのレベル検出を行うものであるから、連続した負荷電流を検出することはできない。

【0006】

そこで、本発明は、電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に且つ低消費電流で検出できる電流検出回路、及びその電流検出回路を用いた負荷駆動回路を提供することを目的とする。

【課題を解決するための手段】

【0007】

請求項1の電流検出回路は、負荷に負荷電流を供給するための第1トランジスタと、該第1トランジスタの制御電極に印加される制御信号と同じ制御信号が制御電極に印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給する電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路と、

該バッファ回路から出力される前記検出電流を変換して出力信号とする変換回路とを備えることを特徴とする。

【0008】

請求項2の電流検出回路は、請求項1記載の電流検出回路において、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする。

る。

【0009】

請求項3の電流検出回路は、請求項1記載の電流検出回路において、前記電流源へ供給されるアイドル用電源電圧は、前記第1トランジスタ及び前記電流検出用トランジスタへ供給される第1電源電圧より高電圧または同電圧であることを特徴とする。

【0010】

請求項4の電流検出回路は、請求項1乃至3のいずれかに記載の電流検出回路において、前記電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする。

【0011】

請求項5の電流検出回路は、請求項4記載の電流検出回路において、前記比較器は、所定幅のヒステリシス特性を有することを特徴とする。

【0012】

請求項6の電流検出回路は、請求項1乃至3のいずれかに記載の電流検出回路において、前記電流源に設けられ、アイドル信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドル信号を第1所定時間だけ出力するとともに、前記制御指令信号から前記第1所定時間より短い第2所定時間の経過後に前記制御信号を出力するタイミング回路を有することを特徴とする。

【0013】

請求項7の負荷駆動回路は、第1電源電圧と負荷への出力点間に接続されスイッチ信号にしたがってスイッチされて負荷に電流を供給するための第1トランジスタと、前記負荷への出力点と第2電源電圧点間に接続されPWMスイッチング信号によってオン・オフスイッチングされる第2トランジスタとの直列回路を、2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、

前記第1トランジスタに印加されるスイッチ信号と同じスイッチ信号が印加され、前記負荷電流に比例した比例電流を供給するための電流検出用トランジスタと、該電流検出用トランジスタの出力ノードに所定のアイドル電流を供給する電流源を有して、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの前記出力ノードの電圧とを等しくするように動作するとともに、前記比例電流と前記アイドル電流とを加算した検出電流を出力するバッファ回路とを、前記第1トランジスタのそれぞれに対応して前記組数分有し、

前記組数分の各バッファ回路から出力される前記検出電流を一括して出力信号に変換する変換回路とを備えることを特徴とする。

【0014】

請求項8の負荷駆動回路は、請求項7記載の負荷駆動回路において、前記バッファ回路は、前記第1トランジスタの出力電圧と前記電流検出用トランジスタの出力ノードの電圧とが入力される増幅器と、前記電流検出用トランジスタの出力ノードと前記変換回路との間に設けられ、前記増幅器の出力で制御される第3トランジスタを有することを特徴とする。

【0015】

請求項9の負荷駆動回路は、請求項7または8に記載の負荷駆動回路において、前記電流源に設けられたスイッチ回路と、前記出力信号を基準値と比較し、前記出力信号が前記基準値を上回ったときに比較出力を発生する比較器とを有し、前記比較出力によって前記スイッチ回路をオフにすることを特徴とする。

【0016】

請求項10の負荷駆動回路は、請求項7または8に記載の負荷駆動回路において、前記電流源に設けられ、アイドル信号によってオンされるスイッチ回路と、制御指令信号の入力に応じて前記アイドル信号を第1所定時間だけ出力するとともに、前記制御指

令信号から前記第1所定時間より短い第2所定時間の経過後に前記スイッチ信号を出力するタイミング回路を有することを特徴とする。

【0017】

請求項11の記憶装置は、請求項7乃至10のいずれかに記載の負荷駆動回路と、該負荷駆動回路によって駆動されるモータを有することを特徴とする。

【発明の効果】

【0018】

本発明によれば、パワートランジスタである第1トランジスタと電流検出トランジスタとは、電源電圧及びスイッチ信号が共通であり、出力電圧が仮想同電位となる。トランジスタがP型MOSである場合には、ゲート、ソースが共通接続され、ドレインが仮想同電位となる。したがって、電流検出トランジスタの小電流(N分の1)を利用して負荷電流を検出できるから、従来のような直接検出に比べて、消費電力を少なくできる。

【0019】

また、ブリッジ構成のPWM制御される負荷駆動回路においても、PWMオフ時にも負荷電流を検出できる。したがって、負荷電流をPWM駆動にもかかわらず、連続して検出することが出来る。

【0020】

また、バッファ回路は、電流検出用トランジスタの出力ノードに所定のアイドリング電流を供給する電流源を有して、その第1トランジスタの出力電圧と電流検出用トランジスタの出力ノードの電圧とを等しくするように動作するとともに、比例電流とアイドリング電流とを加算した検出電流を出力するから、A級増幅回路として動作する。これにより、スイッチオンの初期時においても、電流検出を安定して行うことが出来る。且つ、負荷電流と検出電流とのリニアリティ(直線性)が向上するから、電流検出を高精度に行うことが出来る。

【0021】

また、検出電流が所定以上になるとき(所定値あるいは所定時間後)に、アイドリング電流をオフするから、さらに消費電力を低減することが出来る。

【発明を実施するための最良の形態】

【0022】

以下、本発明の電流検出回路、それを用いた負荷駆動回路、及びその負荷駆動回路により駆動されるモータを有する記憶装置の実施例について、図を参照して説明する。

【0023】

図1は、第1実施例の電流検出回路を示している。この電流検出回路で負荷を駆動するから、図1の電流検出回路を負荷駆動回路あるいは負荷駆動装置、言うことも出来る。

【0024】

図1において、第1トランジスタであるP型MOSトランジスタ11は負荷50と直列に接続されて、第1電源電圧 V_{cc} とグランド間に接続される。第1トランジスタ11は制御信号であるスイッチ信号S1(Lレベル)がゲートに印加されたときにオンし、負荷電流(出力電流)I1が流れる。なお、本明細書では、特に断らない場合には、電圧はグランド電圧に対する電位を表している。

【0025】

電流検出用トランジスタ12のチャネル幅Wとチャネル長Lで決まるサイズを、第1トランジスタ11のサイズのN分の1としているから、そのソース及びゲートに同じ第1電源電圧 V_{cc} 、とスイッチ信号S1が供給されることで、負荷電流I1のN分の1の比例電流 $I1/N$ が流れようとする。しかし、その電流検出用トランジスタ12のドレイン電圧が第1トランジスタ11のドレイン電圧(出力電圧)と等しくならない場合が多いから、その場合には正確な比例電流 $I1/N$ を得ることは出来ない。

【0026】

本発明では、電流検出用トランジスタ12のドレイン電圧を第1トランジスタ11のドレイン電圧と等しくし、安定して且つ高精度に電流検出を行えるように、特有のバッファ

回路100を設けている。

【0027】

このバッファ回路100は、第1トランジスタ11の出力ノードA1の電圧（ドレイン電圧）と電流検出用トランジスタ12の出力ノードB1の電圧（ドレイン電圧）とが入力される増幅器13（例えば、オペアンプでよい）と、このオペアンプ13の出力を第3トランジスタであるN型MOSトランジスタ14への制御信号とする。このMOSトランジスタ14は、電流検出用トランジスタ12の出力ノードB1と検出抵抗19との間に接続されている。なお、コンデンサ16は発振防止を目的として設けられている。

【0028】

さらに、バッファ回路100は、アイドリング用電源電圧 V_{id} と出力ノードB1との間に、電流源15が接続されており、その出力ノードB1に所定のアイドリング電流 I_{id1} を供給する。電流源15は定電流源であり、アイドリング電流 I_{id1} は定電流であることがよい。アイドリング用電源電圧 V_{id} は、電流源15の動作を確実にするために第1電源電圧 V_{cc} よりも高い電圧であることが望ましい。即ち、 $V_{id1} > V_{cc}$ 。なお、アイドリング用電源電圧 V_{id} として、第1電源電圧 V_{cc} を用いることも可能である。

【0029】

バッファ回路100からは、電流検出用トランジスタ12からの比例電流 I_1/N と電流源15からのアイドリング電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0030】

この検出電流 I_{12} が検出抵抗19に流れて、その抵抗値 R_s と検出電流 I_{12} の積に応じた検出電圧（出力信号） V_{det} を出力する。検出抵抗19は変換回路として機能しており、検出電圧 V_{det} は図示しない制御回路へ供給される。

【0031】

この図1の電流検出回路において、図2の等価回路図を参照しつつ、その動作を説明する。制御回路（図示を省略している。以下同じ）からスイッチ信号 S_1 が供給されるまでは、第1トランジスタ11、電流検出用トランジスタ12はオフしている。出力ノードA1はハイインピーダンス（ H_i-Z ）もしくは低電圧（Low；例えば零電圧）になっている。したがって、出力ノードA1の電圧は、第1電源電圧 V_{cc} やアイドリング用電源電圧 V_{id} より低くなっている。一方、出力ノードB1の電圧はアイドリング用電源電圧 V_{id} により決まる。

【0032】

バッファ回路100は、その2入力である出力ノードA1の電圧と出力ノードB1の電圧とを等しくするように動作するから、MOSトランジスタ14は出力ノードB1の電圧を下げようとして、オンする。MOSトランジスタ14のオンにより、アイドリング電流 I_{id1} が検出電流 I_{12} として検出抵抗19に流れる。スイッチ信号 S_1 が供給される前にアイドリング電流 I_{id1} が流れるから、バッファ回路100は、スイッチ信号 S_1 が供給される時点からA級増幅回路として動作することになる。このアイドリング電流 I_{id1} は、検出電圧 V_{det} のオフセット分電圧 $R_s \times I_{id1}$ を発生する。

【0033】

スイッチ信号 S_1 が供給されると、第1トランジスタ11と電流検出用トランジスタ12がオンし、負荷電流 I_1 が第1トランジスタ11から負荷50に流れて、第1トランジスタ11のオン抵抗 r_{11} と負荷電流 I_1 との積に応じて電圧降下が第1トランジスタ11に発生する。出力ノードA1の電圧は第1電源電圧 V_{cc} からその電圧降下 $I_1 \times r_{11}$ だけ低い電圧になる。このとき出力ノードB1の電圧は、出力ノードA1の電圧と等しくなるようにバッファ回路100により制御される。電流検出用トランジスタ12の電圧降下は、比例電流 I_1/N と電流検出用トランジスタ12のオン抵抗 r_{12} （ $=N \times r_{11}$ ）との積になる。したがって、第1トランジスタ11と電流検出用トランジスタ12は、ソース電圧、ゲート電圧及びドレイン電圧の全てが等しくなるので、電流検出用トランジスタ12に流れる比例電流 I_1/N は所期の値になる。

【0034】

この第1トランジスタ11と電流検出用トランジスタ12がオンする初期の段階や、その負荷電流 I_1 、比例電流 I_1/N が小さいときには、仮にアイドル電流 I_{id1} がない場合には安定して動作できない、或いは比例電流 I_1/N が負荷電流 I_1 に正確に比例しない、等の問題が発生する。

【0035】

しかし、本発明では、第1トランジスタ11と電流検出用トランジスタ12がオンするに先立って、アイドル電流 I_{id1} を流しているから、バッファ回路100はA級増幅回路として動作する。したがって、第1トランジスタ11と電流検出用トランジスタ12がオンする初期の段階や、その負荷電流 I_1 、比例電流 I_1/N が小さいときにも安定して動作し、且つ負荷電流と検出電流とのリニアリティ（直線性）が向上するから、電流検出を高精度に出来る。

【0036】

なお、第1トランジスタ11、電流検出用トランジスタ12は、P型MOSトランジスタに代えて、N型MOSトランジスタでもよい。また、N型MOSトランジスタ14は、P型MOSトランジスタの他、バイポーラトランジスタを用いてもよい。

【0037】

図3は、本発明の第2実施例に係る電流検出回路を示している。図4及び図5は、図3の動作を説明するための特性図である。この図3の電流検出回路においては、アイドル電流 I_{id1} の供給を検出電流の大きさに応じて停止するようにしている。

【0038】

図3において、図1と異なる点は、アイドル電流用電源電圧 V_{id} と出力ノードB1との間に電流源15と共にスイッチ回路17を設けている点、及び検出電圧 V_{det} を基準電圧 V_{ref} と比較し、検出電圧 V_{det} が基準電圧 V_{ref} を上回ったときにスイッチ回路17をオフする比較出力を発生する比較器18を設けている点である。なお、電流源15が、比較器18の比較出力でオン、オフできる場合、例えば電流源15がカレントミラー構成である場合には、比較器18の比較出力で電流源15をオン、オフしてもよい。この場合には、スイッチ回路17を削除することができる。

【0039】

この第2実施例の動作を、図3～図5を参照して説明する。スイッチ信号S1が供給される以前から、スイッチ回路17はオンしている。スイッチ信号S1が供給されると、図1の場合と同様に、第1トランジスタ11、電流検出用トランジスタ12がオンし、電流検出用トランジスタ12からの比例電流 I_1/N と電流源15からのアイドル電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0040】

比較器18は、検出電流 I_{12} により発生する検出電圧 V_{det} を基準電圧 V_{ref} と比較する。この検出電圧 V_{det} は、負荷電流 I_1 が零の時にアイドル電流 I_{id1} に相当するオフセット電圧が発生している。負荷電流 I_1 が増加するに連れて検出電圧 V_{det} も大きくなる。検出電圧 V_{det} が基準電圧 V_{ref} を超えると、比較器18の比較出力は反転し、スイッチ回路17をオフする。この基準電圧 V_{ref} は、アイドル電流 I_{id1} が無くても比例電流 I_1/N だけでA級増幅動作が可能な電圧値に設定されることがよい。

【0041】

スイッチ回路17がオフされることによりアイドル電流 I_{id1} はなくなるから、検出電圧 V_{det} の大きさはアイドル電流 I_{id1} の分だけ小さくなる。比較器18には、所定幅（ I_{id1} の分より大きい）のヒステリシスを設けているから、その出力がハンチングする事はない。

【0042】

なお、制御回路に供給される検出電圧 V_{det} にアイドル電流 I_{id1} が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるよ

うに、比較器 18 の比較出力を制御回路に供給する。

【0043】

スイッチ回路 17 がオフされる段階での比例電流 I_1/N は、アイドル電流 I_{id1} がオフされてもその A 級増幅動作に支障がない大きさになっているから、正確な検出電流を得る上で問題はない。また、このアイドル電流 I_{id1} をオフする事により、その分の消費電力を少なくすることが出来る。

【0044】

図 6 は、本発明の第 3 実施例に係る電流検出回路を示している。図 7 は、図 6 の動作を説明するためのタイミング図である。この図 6 の電流検出回路においては、アイドル電流 I_{id1} を、負荷が駆動される最初の所定期間だけ供給するようにし、その時間経過後は供給を停止するようにしている。

【0045】

図 6 において、図 1 と異なる点は、アイドル用電源電圧 V_{id} と出力ノード B1 との間に電流源 15 と共にスイッチ回路 17 を設けている点、及び動作指令信号 S_0 を受けてアイドル信号 S_{id} 及びスイッチ信号 S_1 を発生するタイミング回路 20 を設けている点である。なお、電流源 15 が、アイドル信号 S_{id} でオン、オフできる場合、例えば電流源 15 がカレントミラー構成である場合には、アイドル信号 S_{id} で電流源 15 をオン、オフしてもよい。この場合には、スイッチ回路 17 を削除することができる。

【0046】

この第 3 実施例の動作を、図 6、図 7 を参照して説明する。動作指令信号 S_0 がタイミング回路 20 に供給されるまでは、第 1 トランジスタ 11、電流検出用トランジスタ 12、スイッチ回路 17 は全てオフしている。動作指令信号 S_0 がタイミング回路 20 に供給されると、タイミング回路 20 はアイドル信号 S_{id} を直ちに発生させてスイッチ回路 17 をオンし、アイドル電流 I_{id1} が流される。この状態は、図 1 でスイッチ信号 S_1 が供給される前と同じである。

【0047】

タイミング回路 20 は動作指令信号 S_0 が供給されると同時に、その時点 t_1 からの経過時間を、例えばカウンタにより計測を開始する。時点 t_1 から期間 T_2 だけ計測した時点 t_2 で、スイッチ信号 S_1 (L レベル) を発生させて、第 1 トランジスタ 11、電流検出用トランジスタ 12 をオンさせる。第 1 トランジスタ 11、電流検出用トランジスタ 12 をオンさせることにより、図 1 の場合と同様に、電流検出用トランジスタ 12 からの比例電流 I_1/N と電流源 15 からのアイドル電流 I_{id1} とが合わさった検出電流 I_{12} が出力される。

【0048】

タイミング回路 20 は、引き続いて経過時間を計測し、時点 t_1 から期間 T_1 ($T_1 > T_2$) 経過した時点 t_3 でアイドル信号 S_{id} の供給を停止し、スイッチ回路 17 をオフする。なお、時点 t_4 で、動作指令信号 S_0 の供給が停止されると、スイッチ信号 S_1 もなくなり (H レベル)、電流検出回路の動作が停止する。この期間 T_1 は、アイドル電流 I_{id1} が無くても、比例電流 I_1/N の大きさが、バッファ回路 100 を A 級増幅動作させることが可能な電流値になる時間に設定されることがよい。

【0049】

なお、制御回路に供給される検出電圧 V_{det} にアイドル電流 I_{id1} が含まれているかどうか、即ちオフセット分が上乘せされているかどうかを制御回路で判定できるように、アイドル信号 S_{id} を制御回路に供給する。

【0050】

スイッチ回路 17 がオフされることによりアイドル電流 I_{id1} はなくなるから、検出電圧 V_{det} の大きさはアイドル電流 I_{id1} の分だけ小さくなる。しかし、スイッチ回路 17 がオフされる T_1 時間後の段階での比例電流 I_1/N は、アイドル電流 I_{id1} がオフされてもその A 級増幅動作に支障がない大きさになっているから、正確

な検出電流を得る上で問題はない。また、図4と同様に、このアイドル電流 I_{id1} をオフする事により、その分の消費電力を少なくすることが出来る。

【0051】

図8は、本発明の第4実施例に係る、HDDやFDDのスピンダルモータ等の負荷を駆動する負荷駆動回路を示している。

【0052】

この図8の負荷駆動回路は、第1電源電圧 V_{cc} と負荷50への出力ノードA1間に接続されスイッチ信号S1にしたがってスイッチされて負荷50に電流を供給するための第1トランジスタ11と、負荷50への出力ノードA1と第2電源電圧点（グランド）間に接続されPWMスイッチング信号S3によってオン・オフスイッチングされる第2トランジスタ31との第1直列回路と、第1電源電圧 V_{cc} と負荷50への出力ノードA2間に接続されスイッチ信号S2にしたがってスイッチされて負荷50に電流を供給するための第1トランジスタ21と、負荷50への出力ノードA2と第2電源電圧点（グランド）間に接続されPWMスイッチング信号S4によってオン・オフスイッチングされる第2トランジスタ41との第2直列回路とを有している。

【0053】

この図8は、単相ブリッジ回路の例であるから、第1トランジスタと第2トランジスタとの直列回路の組数は2組である。本発明を、三相ブリッジ回路に適用する場合には、第1トランジスタと第2トランジスタとの直列回路の組数は3組である。さらに、多相の場合にも同様に適用可能である。

【0054】

このように、前述の直列回路を2以上の組数分有して単相あるいは多相ブリッジ回路を形成し、単相あるいは多相負荷をPWM駆動する負荷駆動回路において、各第1トランジスタ11、21に対して、それを含むように図1におけると同様の電流検出回路を設けたものが、図8の負荷駆動回路である。

【0055】

即ち、第1トランジスタ11に印加されるスイッチ信号S1と同じスイッチ信号S1が印加される電流検出用トランジスタ12を設ける。電流検出用トランジスタ12は、第1トランジスタ11に流れる負荷電流 I_1 に比例した比例電流 I_1/N を供給する。バッファ回路100は、この電流検出用トランジスタ12の出力ノードB1に所定のアイドル電流 I_{id1} を供給する電流源15を有して、第1トランジスタ11の出力ノードA1の電圧と電流検出用トランジスタ12の出力ノードB1の電圧とを等しくするように動作するととともに、比例電流 I_1/N とアイドル電流 I_{id1} とを加算した検出電流 I_{12} を出力する。バッファ回路200も、バッファ回路100と同じ構成であり、ただ符号だけが異なっている（例えば、12に対して22）。

【0056】

そして、複数組にそれぞれ設けられたバッファ回路100、200から出力される検出電流 I_{12} 、 I_{22} を一括して検出電圧（出力信号） V_{det} に変換する検出抵抗（変換回路）19を設けている。また、速度やトルク或いは電流を指令する指令値 V_{target} と検出電圧 V_{det} とが入力され、その2入力の違いに基づく誤差信号を出力する誤差増幅器30が設けられる。この誤差信号は、モータなどの負荷を制御する制御回路（図示を省略している）に供給される。

【0057】

この図8の単相ブリッジ回路の負荷駆動回路について見ると、各第1トランジスタ11、21の負荷電流 I_1 、 I_2 を検出する動作は、図1等において説明したものと同様である。しかし、図8の第4実施例では、PWM駆動される負荷駆動回路であるから、PWM制御に伴う特有の電流検出作用について説明する。

【0058】

図8では、第1トランジスタ11がオンで、第2トランジスタ41がPWMスイッチング信号S4でオン/オフスイッチングされている場合と、第1トランジスタ21がオンで

、第2トランジスタ31がPWMスイッチング信号S3でオン/オフスイッチングされている場合とがある。

【0059】

第1トランジスタ11がオンで、第2トランジスタ41がPWMスイッチング信号S4でオン/オフスイッチングされている場合を考えると、第2トランジスタ41がPWMオンしているときには、負荷電流I1は、図中実線のように、第1電源電圧Vccから第1トランジスタ11-負荷50-第2トランジスタ41-グランドに流れる。一方、第2トランジスタ41がPWMオフしているときには、負荷電流I1は、図中破線のように、第1トランジスタ11-負荷50-第1トランジスタ21の寄生ダイオード-第1トランジスタ11の経路を流れる。

【0060】

PWMオフしているときの負荷電流I1は、従来の抵抗による直接検出方式では、検出することは出来なかった。しかし、本発明では、負荷電流I1が第1トランジスタ11を流れていれば、PWMオンの時はもちろんであるが、PWMオフの時にも比例電流I1/Nを連続して、計測することが出来る。逆の第1トランジスタ21がオンで、第2トランジスタ31がPWMスイッチング信号S3でオン/オフスイッチングされている場合にも同様である。

【0061】

図8の負荷駆動回路で、記憶装置の例えばスピンドルモータを速度制御する場合には、指令値Vtargetはトルク指令値である。このトルク指令値Vtargetは、スピンドルモータへの速度設定値とその速度実際値との差によって形成される。

【0062】

このスピンドルモータを速度制御するに際しては、検出電流の変化、即ち検出電圧Vdetの変化が連続していることが安定な速度制御を行うために望ましい。したがって、一旦、スピンドルモータの速度制御を開始した後は、アイドル電流Iid1、Iid2を、切ることなく、継続して流し続けることがよい。アイドル電流Iid1、Iid2を流し続けても、それ自体は一定値であるから負荷電流I1、I2には影響を与えることはない。

【0063】

このようにアイドル電流を遮断することなく流し続けることで、モータの速度制御の安定度を高く維持することができる。

【0064】

また、スピンドルモータを停止している場合にもアイドル電流Iid1、Iid2が流されることで、検出電圧Vdetは一定のオフセット電圧を発生しており、一方、トルク指令値は零である。この場合、トルク指令値Vtargetは、検出電圧Vdetよりそのオフセット電圧分だけ低いから、停止時のモータの駆動力(トルク)を確実に無くすることができる。

【0065】

このアイドル電流Iid1、Iid2に基づくオフセット電圧を持たせていない状態では、ノイズなどの影響によってトルク指令値Vtarget等が影響を受けてモータにトルクが発生する可能性がある。しかし、アイドル電流を遮断することなく流し続けることでオフセット電圧が与えられるから、例えノイズ環境下でもモータが誤って回る誤作動を防止できる。この誤作動については、速度制御に限らず、他の制御(例えば、電流制御)の場合にも同様である。

【0066】

さらに、図8の第4実施例では、アイドル電流Iid1、Iid2は、第1トランジスタ11または21の内のオンさせるべきいずれか一方のみを、流すように制御する事もできる。この制御は、制御回路からのスイッチ信号S1、S2の発生と関連させて、アイドル電流Iid1、Iid2を制御するための信号を出力させるようにすることによって達成できる。例えば、スイッチ信号S1、S2に関連して、電流源15、25をオ

ン或いはオフさせることがよい。

【0067】

また、図8の負荷駆動回路においても、図3の第2実施例のような、スイッチ回路17と比較器18を用いたアイドル電流のオフ制御回路を付加することや、図6の第3実施例のような、スイッチ回路17やタイミング回路20を用いたアイドル電流のタイミング制御回路を付加することもできる。これらの場合には、各相用駆動回路に設けられたスイッチ回路17を、比較器18からの比較出力で同時にオン或いはオフさせたり（図3のような場合）、タイミング回路20からのアイドル信号S_{id}で同時にオン或いはオフさせたり（図6のような場合）することが良い。

【0068】

このように、アイドル電流I_{id1}、I_{id2}を第1、第2トランジスタ11、21のオン或いはオフに応じてオン或いはオフしたり、図3や図6のように検出電圧V_{det}や経過時間に応じてオフ制御することは、例えばステッピングモータを電流制御で駆動する等の負荷電流I₁、I₂の検出を高い精度で行うことが必要な場合に、好適である。なお、この電流制御でモータを駆動するときには、指令値V_{target}は電流指令値となる。

【0069】

なお、本発明の各実施例において、制御信号としてのスイッチ信号S₁で第1トランジスタ11、電流検出用トランジスタ12をオンあるいはオフにすることとして説明したが、制御信号として、スイッチ信号S₁に代えて、電圧値が制御出来る制御電圧とする事も出来る。制御信号を制御電圧とする場合には、第1トランジスタ11、電流検出用トランジスタ12はカレントミラー構成となる。これにより、印加される制御電圧値に応じて第1トランジスタ11、電流検出用トランジスタ12の導通度が制御され、負荷電流I₁を調整することが出来る。この場合にも、比例電流I₁/Nは負荷電流に比例することになる。

【図面の簡単な説明】

【0070】

【図1】 第1実施例の電流検出回路の構成を示す図

【図2】 図1の電流検出回路の等価回路を示す図

【図3】 第2実施例の電流検出回路の構成を示す図

【図4】 図3の動作を説明するための特性図

【図5】 図3の動作を説明するための他の特性図

【図6】 第3実施例の電流検出回路の構成を示す図

【図7】 図6の動作を説明するためのタイミング図

【図8】 第4実施例の負荷駆動回路の構成を示す図

【符号の説明】

【0071】

V_{cc} 第1電源電圧

V_{id} アイドリング用電源電圧

11 第1トランジスタ（P型MOSトランジスタ）

12 電流検出用トランジスタ（P型MOSトランジスタ）

13 オペアンプ

14 N型MOSトランジスタ

15 電流源

16 コンデンサ

17 スイッチ回路

18 比較器

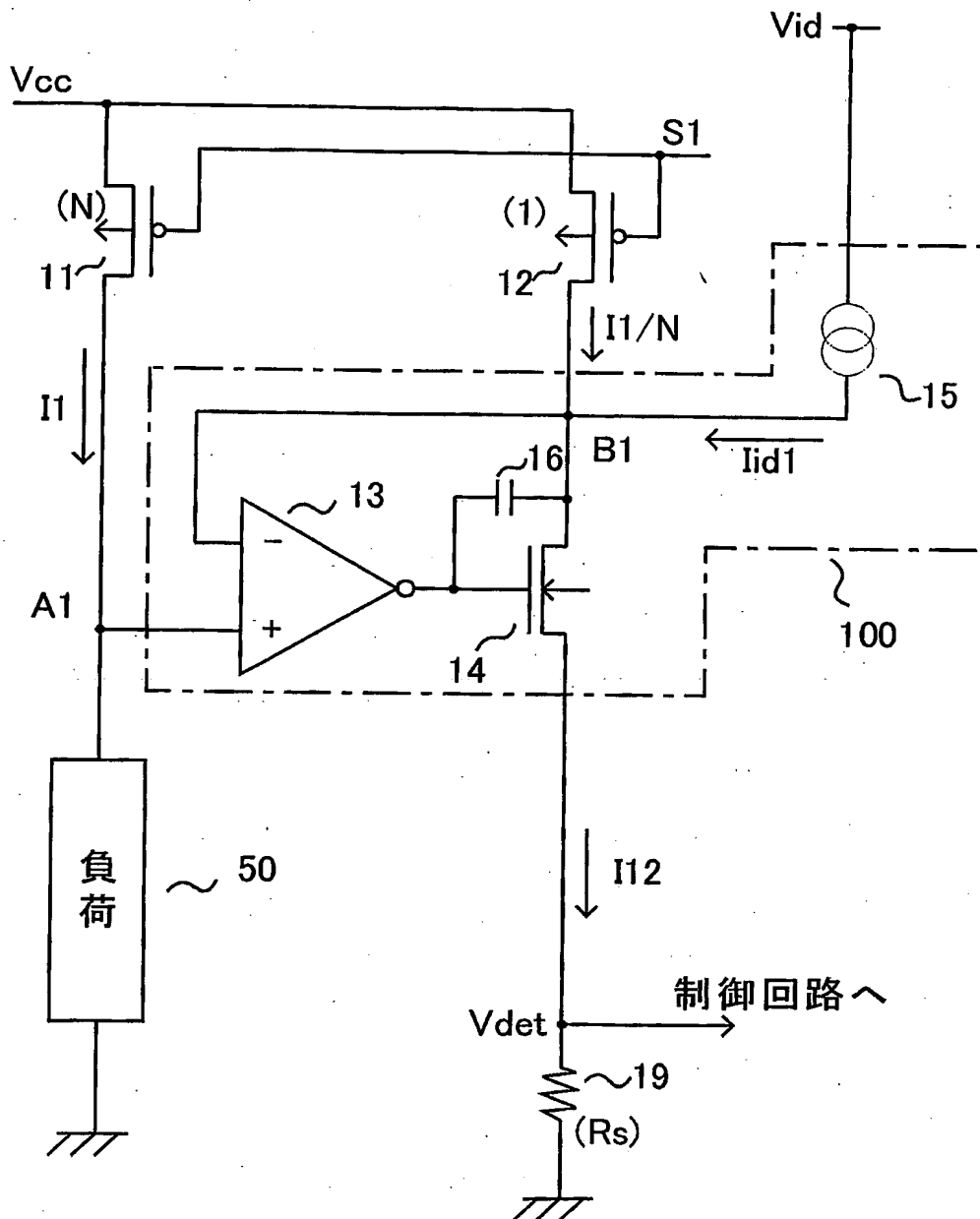
19 検出抵抗

20 タイミング回路

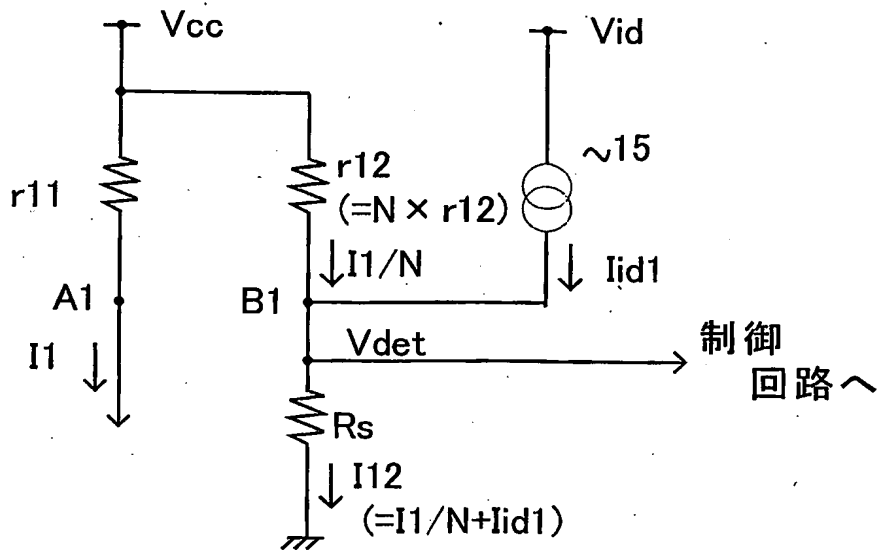
30 誤差増幅器

50 負荷
100、200 バッファ回路
S0 動作指令信号
S1、S2 スイッチ信号
S3、S4 PWMスイッチング信号
Sid アイドリング信号
I1、I2 負荷電流
I1/N、I2/N 比例電流
Iid1、Iid2 アイドリング電流
I12、I22 検出電流
Vdet 検出電圧
Vref 基準電圧
Vtarget 指令値
A1、A2 出力ノード
B1、B2 出力ノード

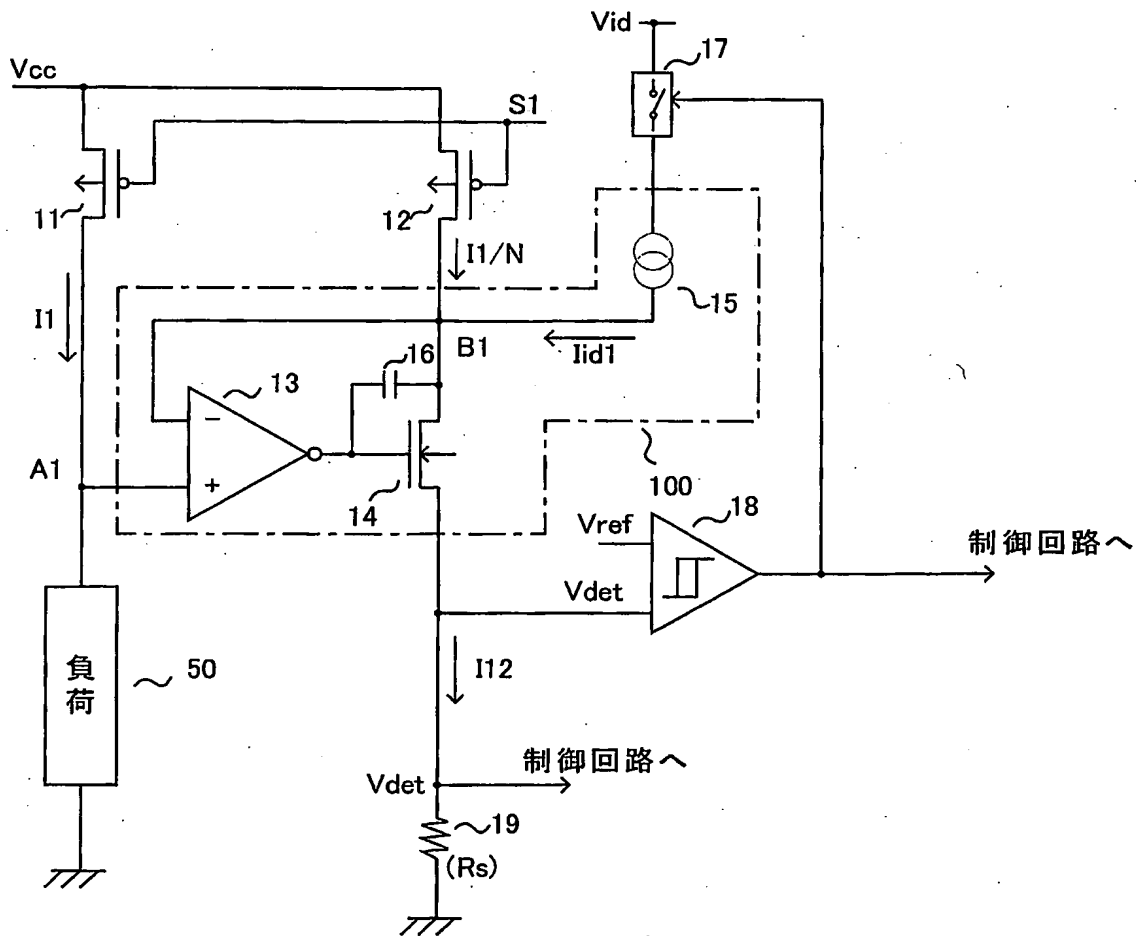
【書類名】 図面
【図 1】



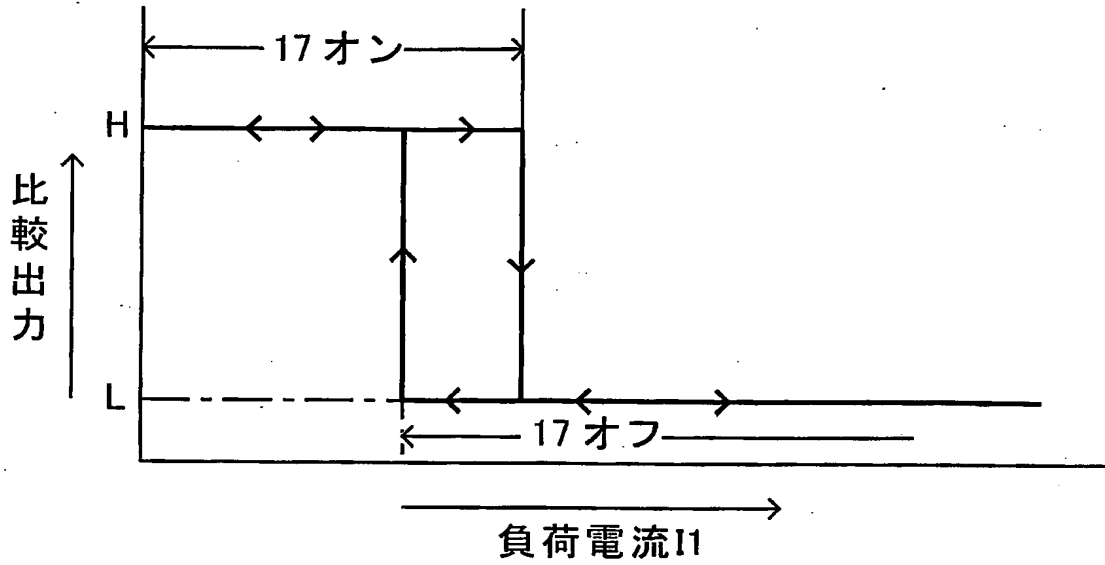
【図 2】



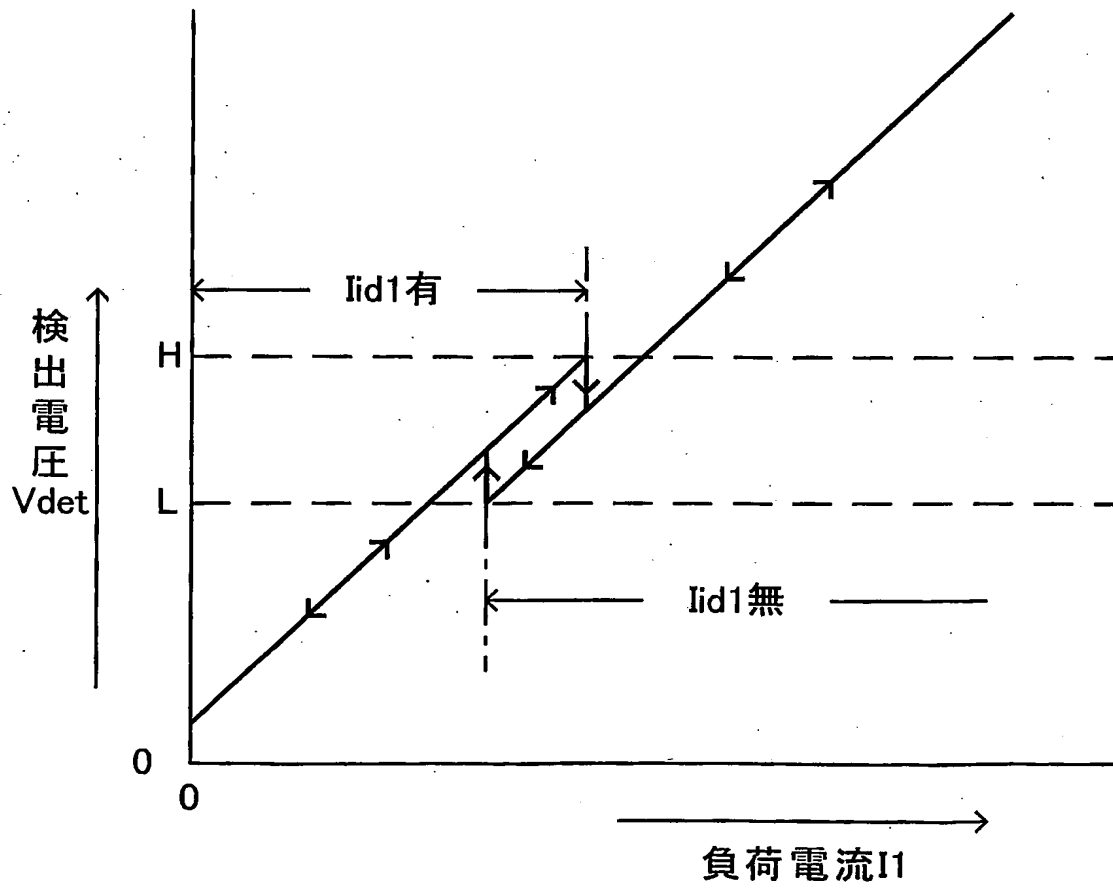
【図 3】



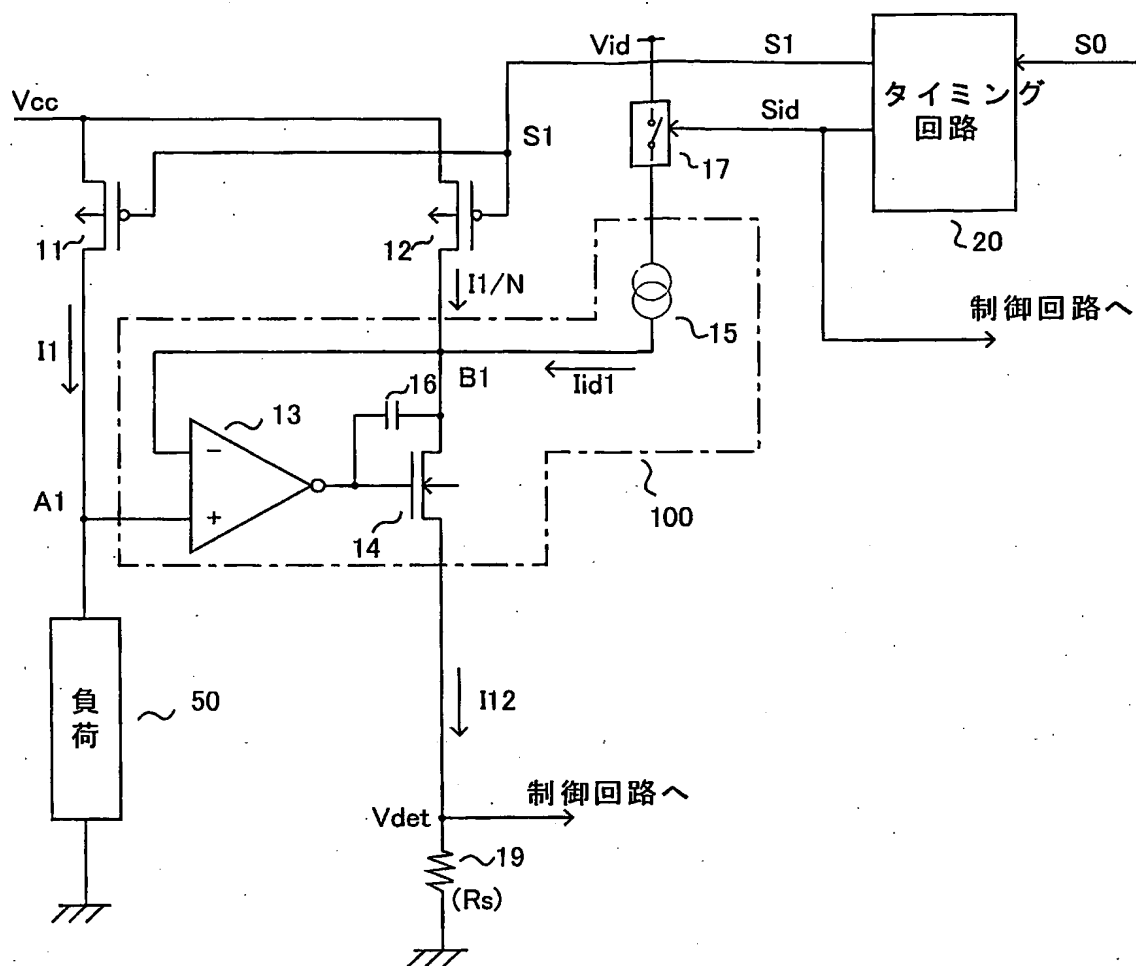
【図4】



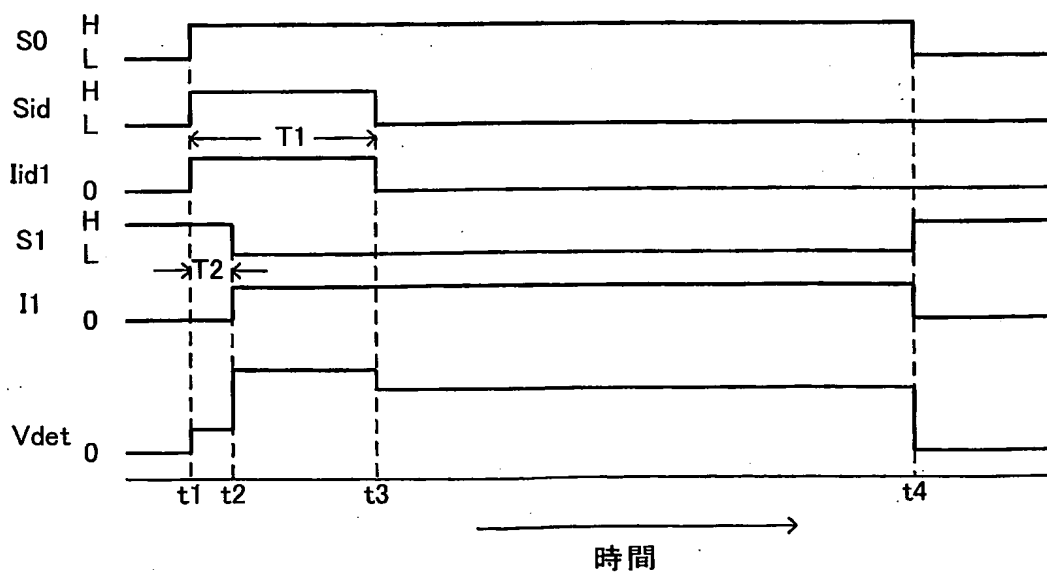
【図5】



【図 6】



【圖 7】



【書類名】要約書

【要約】

【課題】電流検出に伴う電力損失を大幅に少なくし、且つ電流検出を常時行うとともに電流を安定して高精度に検出すること。

【解決手段】パワートランジスタと電流検出トランジスタには、電源電圧及びスイッチ信号を共通に供給する。その電流検出トランジスタの出力ノードにアイドル電流を供給し、且つ両トランジスタの出力電圧が仮想同電位となるようにバッファ回路を設ける。これによりバッファ回路を常にA級増幅回路として動作させる。

【選択図】 図1

特願 2004-058571

出願人履歴情報

識別番号

[000116024]

1. 変更年月日

[変更理由]

住所
氏名

1990年 8月22日

新規登録

京都府京都市右京区西院溝崎町21番地

ローム株式会社